

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Shuji MAYAMA et al.

Application No.: 10/776,609

Filed: February 12, 2004

Docket No.: 118658

For: OVERCURRENT LIMIT CIRCUIT



CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-037248 filed February 14, 2003

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/tmw

Date: April 16, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 4 日
Date of Application:

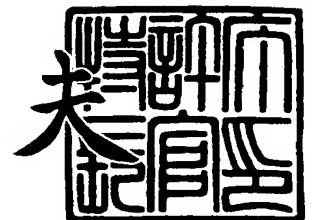
出 願 番 号 特 願 2 0 0 3 - 0 3 7 2 4 8
Application Number:
[ST. 10/C]: J P 2 0 0 3 - 0 3 7 2 4 8]

出 願 人
Applicant(s): 株式会社オートネットワーク技術研究所
 住友電装株式会社
 住友電気工業株式会社

2 0 0 4 年 3 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 2 6 0 5

【書類名】 特許願

【整理番号】 415002062

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 B02J 1/00

【発明者】

 【住所又は居所】 愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所内

 【氏名】 眞山 修二

【発明者】

 【住所又は居所】 愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所内

 【氏名】 一色 功雄

【特許出願人】

 【識別番号】 395011665

 【氏名又は名称】 株式会社オートネットワーク技術研究所

【特許出願人】

 【識別番号】 000183406

 【氏名又は名称】 住友電装株式会社

【特許出願人】

 【識別番号】 000002130

 【氏名又は名称】 住友電気工業株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9606848

【包括委任状番号】 9005280

【包括委任状番号】 9700876

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 過電流制限回路

【特許請求の範囲】

【請求項 1】 駆動スイッチとしてのパワー MOS-FET のオンオフ動作により所定の負荷に対する駆動電流をオンとオフとの間で切り換えるとともに、当該パワー MOS-FET を駆動し且つ過電流を保護する主機能部と、

電源側から前記駆動スイッチに与えられる電流を分流して過電流を検出するための分流検出部とを備え、

前記主機能部が、少なくとも前記パワー MOS-FET のドレインとソースの間の電圧が所定のしきい値未満である場合に、前記分流検出部で検出された過電流に基づいて、前記パワー MOS-FET に流れる電流を制限する機能を有せしめられた過電流制限回路。

【請求項 2】 請求項 1 に記載の過電流制限回路であって、

前記主機能部が、前記パワー MOS-FET のドレインとソースの間の電圧が所定のしきい値を越える場合に、当該パワー MOS-FET に流れる電流をチョッピングにより制限する機能をさらに有せしめられた過電流制限回路。

【請求項 3】 請求項 1 または請求項 2 に記載の過電流制限回路であって、

前記分流検出部が、

前記駆動スイッチに電源側から与えられる電流を所定の分流比で分流する分流回路と、

一方の経路に、前記分流回路で分流された分流電流が流れるとともに、他方の経路において、前記分流電流に対する所定のミラー比のミラー電流を得るカレントミラー回路と、

前記カレントミラー回路の前記他方の経路に設置される定電流源とを備え、

前記分流回路が、

前記駆動スイッチに対してゲート及びドレインがそれぞれ共通に接続されたセンス MOS-FET と、

前記センス MOS-FET のソース電圧及び前記駆動スイッチのソース電圧が
入力される差動アンプと
を備え、

前記分流検出部における前記過電流の検出点が、前記他方の経路の定電流源と
カレントミラー回路との接続中間点に設定されたことを特徴とする過電流制限回
路。

【請求項 4】 請求項 1 ないし請求項 3 のいずれかに記載の過電流制限回路
であって、

前記主機能部が、

前記パワー MOS-FET のドレインとソースの間の電圧が前記所定のしきい
値を越える場合に、当該パワー MOS-FET に流れる電流を制限する電流制限
部と、

前記駆動スイッチを遮断またはチョッピングすることで前記パワー MOS-F
ET に流れる電流を制限する保護用論理回路と
を備え、

前記分流検出部が前記過電流を検出した場合に、当該検出結果に基づいて、前
記保護用論理回路または電流制限部を通じて、前記パワー MOS-FET に流れ
る電流を制限する機能を有せしめられた過電流制限回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、負荷に接続されて過電流を防止する過電流制限回路に関する。

【0002】

【従来の技術】

自動車には、エンジン系、車体電動系または情報系等の様々な車載負荷が搭載
されており、特に近年の電子技術の発展により、車載負荷としての各種電子ユニ
ット等が数多く搭載されてきている。

【0003】

ところで従来、図 3 の如く、負荷 1 と電源 2 とを結ぶ電流経路 3 にフューズ 4

を設置することで、各種の過電流保護を行ってきた（従来技術 1）。尚、図 3 中の符合 5 はメカニカルリレーである。

【0 0 0 4】

しかしながら、過電流保護のために上記のようなフューズ 4 を使用する場合、このフューズ 4 が頻繁に切れると、それを交換する作業も頻繁になる。また、一般に、複数のフューズ 4 をひとまとめにユニット化したフューズボックスが使用されるが、このフューズボックスの体積が大きく、他の車載電装品の搭載スペースが少なくなる。さらに、フューズ 4 の交換作業を考慮すると、フューズボックスの搭載位置が限定される。

【0 0 0 5】

これらに鑑みて、フューズボックスに代えて半導体リレーを用いた過電流制限回路を設置することも行われている。

【0 0 0 6】

具体的には以下の 2 つの方法がある。

【0 0 0 7】

ひとつには、過電流をシャント抵抗またはセンスまたは MOS - F E T で検出し、マイクロコンピュータまたは外部回路で過電流の判定をするもの（従来技術 2）がある。この場合、突入電流は外部回路の基準電圧変更かマイクロコンピュータのソフトウェアプログラムにより対応することになる。

【0 0 0 8】

あるいは、図 4 に示すように、電流検出機能と判定機能を有する自己保護型の I P D （インテリジェントパワーデバイス） 6 を使用するもの（従来技術 3）もある。

【0 0 0 9】

この従来技術 3 の I P D 6 は、図 5 の如く、過電流制限回路自身に過電流が流れたり過温度となった場合に、その旨を検出して電流を遮断する自己保護型の過電流保護機能を有するものである。この場合は、図 4 におけるフューズ 4 を省略することも可能である。

【0 0 1 0】

このIPD6は、図5の如く、基本的には、負荷11に対する駆動のオンオフ切替えをパワーMOS-FETからなる第1のスイッチング素子（駆動スイッチ）12で行う構成となっている。

【0011】

具体的には、操作者が操作スイッチ13でオンオフ切替操作を行ったときに、その操作スイッチ13のオンオフ状態を入力インターフェース回路15が検知する。入力インターフェース回路15が操作スイッチ13のオン状態を検知したときには、FETとしての第2のスイッチング素子17がオン状態となり、保護用論理回路21及びチャージポンプ23に電源（+B）19が投入されて動作する。

【0012】

この場合、チャージポンプ23は、第1のスイッチング素子12のゲートをそのソースよりも高電位に保つためNチャネルFET及び発振用コンデンサ等を用いて電源（+B）19の電圧を昇圧（例えば2倍）する。

【0013】

この際、電流制限部25は、第1のスイッチング素子（駆動スイッチ）12のドレイン-ソース間の電圧降下が所定のしきい値を超えたか否かを判断し、第1のスイッチング素子12のドレイン-ソース間の電圧降下が所定のしきい値を超えた場合に、そのゲート-ソース間を断続的に短絡させて当該ゲートへの入力電圧を低減させ、第1のスイッチング素子12に流れる電流を低減させる。

【0014】

そして、このIPD6には、過電流を検知してその旨を保護用論理回路21に報知する過電流検知回路29と、過温度を検出して保護用論理回路21に報知する過温度検出回路31とが設けられており、保護用論理回路21は、過電流検知回路29が過電流を検知し、または過温度検出回路31が過温度を検出したときに、チャージポンプ23を介して、第1のスイッチング素子12のゲート電圧の供給を遮断または断続的に停止することで電流及び温度を調整する。

【0015】

ただし、負荷11に対してサージ電流が発生した場合に、負荷11に対する電

流供給の遮断を行った場合に負サージにより電圧の過低下を抑制するため、ダイナミッククランプ回路 27 は、負サージが発生している間だけ、第 1 のスイッチング素子 12 をオンにして過電流制限回路内の各部位を保護するよう機能する。

【0016】

そして、過電流検知回路 29 が過電流を検知し、または過温度検出回路 31 が過温度を検出したときに、その出力の論理和を論理和回路 33 が論理判断し、FET である第 3 のスイッチング素子 37 をオン切り換えして、プルアップ抵抗 35 を利用して例えば警告ランプ等の外部の警告装置等（図示省略）にその旨を報知する。

【0017】

これらの従来技術 2, 3 によると、それまで必要であったフューズ 4 の交換回数が大幅に低減し、その分の手間が必要なくなる。さらに、フューズボックス自体を省略することも可能であり、この場合には、必要となる搭載スペースを縮小することができる。

【0018】

参考のために、この発明に関連する先行技術文献を以下に示しておく。

【0019】

【特許文献 1】

特開 2000-312433 号公報

【0020】

【発明が解決しようとする課題】

上記従来技術 2 の方式では、外部回路やマイクロコンピュータについてコスト上昇及び体積上昇を招いてしまい、実質的に普及するには至っていない。

【0021】

この点、上記従来技術 3 の方式だと、使用される要素が IPD6 として集約されて構成できるため、体積効率が極めてよく、しかもコストが安価であるという利点がある。

【0022】

しかしながら、従来技術 3 の方式では、負荷 11 が短絡等によって過負荷状態

となった場合に、その過負荷を確実に検出し I P S を完全に保護するまでには至っていなかった。

【0023】

具体的に、例えば上述したように、第1のスイッチング素子（駆動スイッチ）12のドレイン－ソース間の電圧降下が所定のしきい値を超えたか否かを判断し、その判断結果に応じてゲートへの入力電圧を低減させる場合、過電流が発生した際に、第1のスイッチング素子12のゲート電圧を一定値に絞るだけであったため、負荷短絡時等でのドレイン－ソース間の電圧降下が大きい状態では、第1のスイッチング素子12のドレイン－ソース間電圧に対するドレイン電流の特性より、電流制限が十分でなく過電力破壊するおそれがあった。

【0024】

また、従来技術3の場合、第1のスイッチング素子12のドレイン－ソース間電圧が一定電圧以上にならないと電流制限部25が動作しないため、中途半端な過電流状態では、第1のスイッチング素子12のドレイン－ソース間電圧が小さいが故にゲート電圧の制限動作に至らないことが有り、この状態が長時間経過すると、第1のスイッチング素子12が過電流により破壊するおそれがあった。

【0025】

そこで、この発明の課題は、駆動スイッチのドレイン／ソース間電圧が比較的低い場合にも適正に過電流を制限し得る過電流制限回路を提供することにある。

【0026】

【課題を解決するための手段】

上記課題を解決すべく、請求項1に記載の発明は、駆動スイッチとしてのパワーMOS－FETのオンオフ動作により所定の負荷に対する駆動電流をオンとオフとの間で切り換えるとともに、当該パワーMOS－FETを駆動し且つ過電流を保護する主機能部と、電源側から前記駆動スイッチに与えられる電流を分流して過電流を検出するための分流検出部とを備え、前記主機能部が、少なくとも前記パワーMOS－FETのドレインとソースの間の電圧が所定のしきい値未満である場合に、前記分流検出部で検出された過電流に基づいて、前記パワーMOS－FETに流れる電流を制限する機能を有せしめられたものである。

【0027】

請求項2に記載の発明は、請求項1に記載の過電流制限回路であって、前記主機能部が、前記パワーMOS-FETのドレインとソースの間の電圧が所定のしきい値を越える場合に、当該パワーMOS-FETに流れる電流をチョッピングにより制限する機能をさらに有せしめられたものである。

【0028】

請求項3に記載の発明は、請求項1または請求項2に記載の過電流制限回路であって、前記分流検出部が、前記駆動スイッチに電源側から与えられる電流を所定の分流比で分流する分流回路と、一方の経路に、前記分流回路で分流された分流電流が流れるとともに、他方の経路において、前記分流電流に対する所定のミラー比のミラー電流を得るカレントミラー回路と、前記カレントミラー回路の前記他方の経路に設置される定電流源とを備え、前記分流回路が、前記駆動スイッチに対してゲート及びドレインがそれぞれ共通に接続されたセンスMOS-FETと、前記センスMOS-FETのソース電圧及び前記駆動スイッチのソース電圧が入力される差動アンプとを備え、前記分流検出部における前記過電流の検出点が、前記他方の経路の定電流源とカレントミラー回路との接続中間点に設定されたものである。

【0029】

請求項4に記載の発明は、請求項1ないし請求項3のいずれかに記載の過電流制限回路であって、前記主機能部が、前記パワーMOS-FETのドレインとソースの間の電圧が前記所定のしきい値を越える場合に、当該パワーMOS-FETに流れる電流を制限する電流制限部と、前記駆動スイッチを遮断またはチョッピングすることで前記パワーMOS-FETに流れる電流を制限する保護用論理回路とを備え、前記分流検出部が前記過電流を検出した場合に、当該検出結果に基づいて、前記保護用論理回路または電流制限部を通じて、前記パワーMOS-FETに流れる電流を制限する機能を有せしめられたものである。

【0030】

【発明の実施の形態】

<構成>

図 1 はこの発明の一の実施の形態に係る過電流制限回路を示すブロック図である。尚、この実施の形態においては、図 5 に示した従来技術 3 内の各要素と同等の機能を有する要素については同一符合を付している。

【0031】

この過電流制限回路は、図 1 の如く、第 1 のスイッチング素子（駆動スイッチ）12 のドレイン側の電流を、この第 1 のスイッチング素子 12 に並列に接続される分流回路 45 に分流させ、この分流した電流について、カレントミラー回路 43 によって、別の定電流源 44 からの定電流経路 47 に対してミラー比分だけ正確に流すようにし、さらに定電流経路 47 側の電圧降下の状態に応じて第 1 のスイッチング素子 12 を過電流状態から保護するようにしている。

【0032】

具体的に、この過電流制限回路は、従来技術 3 で説明した自己保護型の過電流保護機能部（以下「主機能部」と称す）40 に加えて、第 1 のスイッチング素子 12 に並列に接続される分流回路 45 と、この分流回路 45 の下流側に接続されるカレントミラー回路 43 と、カレントミラー回路 43 の一端側を定電流経路 47 として当該定電流経路 47 に定電流を与える定電流源 44 とを備える。

【0033】

主機能部 40 は、当該主機能部 40 自身の内部における過電流及び過温度を検知して負荷 11 に対する駆動電流を調整するもので、従来技術 3 と同様、第 1 のスイッチング素子（駆動スイッチ）12 と、入力インターフェース回路 15 と、第 2 のスイッチング素子 17 と、保護用論理回路 21 と、チャージポンプ 23 と、電流制限部 25 と、ダイナミッククランプ回路 27 と、過電流検知回路 29 と、過温度検出回路 31 と、論理和回路 33 と、第 3 のスイッチング素子 37 とを備える。

【0034】

第 1 のスイッチング素子（駆動スイッチ）12 は、パワー MOS-FET（電界効果型トランジスタ）が使用されて負荷 11 に対する駆動のオンオフ切替えを行うものである。

【0035】

入力インターフェース回路 15 は、負荷 11 の駆動について操作者がオンオフ切替操作を行うための操作スイッチ 13 のオンオフ状態を検知するものである。

【0036】

第2のスイッチング素子 17 は、MOS-FET (MOS型電界効果型トランジスタ) が使用されて入力インターフェース回路 15 が操作スイッチ 13 のオン状態を検知したときにオン状態となるものである。

【0037】

保護用論理回路 21 は、電源 (+B) 19 からの給電を受けて動作するようになっており、過電流検知回路 29 が過電流を検知し、または過温度検出回路 31 が過温度を検出したときに、これらの各回路 29, 31 からの断続的な信号に基づいてチャージポンプ 23 を介し第1のスイッチング素子 12 のゲート電圧の供給を遮断または断続的に停止 (チョッピング) して、負荷 11 に対する駆動電流 I_d 及び温度を調整するものである。

【0038】

そして、この保護用論理回路 21 は、後述する分流検出部 41 から与えられた報知信号に基づいて負荷 11 の駆動電流に異常が発生したときにも、第1のスイッチング素子 12 のゲート電圧の供給を停止して、負荷 11 に対する駆動電流 I_d を遮断またはチョッピングするようになっている。

【0039】

チャージポンプ 23 は、第1のスイッチング素子 12 のゲートをそのソースよりも高電位に保つため Nチャネル FET 及び発振用コンデンサ等を用いて電源 (+B) 19 の電圧を昇圧 (例えば2倍) するものである。

【0040】

電流制限部 25 は、第1のスイッチング素子 12 のドレイン-ソース間の電圧降下 (図2中の横軸 V_{ds}) が所定のしきい値 T_{h1} を超えた場合に、ゲート-ソース間を断続的に短絡させて、当該ゲートへの入力電圧を低減させ、図2中の第1の電流制限曲線 G3 に示すように、第1のスイッチング素子 12 に流れる電流 I_d を低減させるものである。

【0041】

ダイナミッククランプ回路 27 は、サージ電流の発生時に負荷 11 に対する電流供給の遮断またはチョッピングを行った場合に負サージにより電圧の過低下を抑制するために第 1 のスイッチング素子 12 をオンにして過電流制限回路内の各部位を保護するためのものである。

【0042】

過電流検知回路 29 は、過電流を検知してその過電流が持続する間は保護用論理回路 21 に所定の信号を断続的に送信し続けるものである。

【0043】

過温度検出回路 31 は、過温度を検出してその過温度が持続する間は保護用論理回路 21 に所定の信号を断続的に送信し続けるものである。尚、この過温度検出回路 31 としては、過温度が解除された際の復帰にリセット信号が必要なラッチ型と、温度が低下した場合に再オン切り換えを行う自動復帰型とがあるが、いずれが適用されても差し支えない。

【0044】

論理和回路 33 は、過電流検知回路 29 が過電流を検知し、または過温度検出回路 31 が過温度を検出したときに、その出力の論理和をとるものである。

【0045】

第 3 のスイッチング素子 37 は、具体的には MOS-FET (MOS 型電界効果型トランジスタ) が使用され、過電流検知回路 29 が過電流を検知しまたは過温度検出回路 31 が過温度を検出したときに、論理和回路 33 からの出力に基づいてオン状態となって、プルアップ抵抗 35 を利用して警告ランプ等の外部の警報装置 (図示省略) にその旨を報知するものである。

【0046】

分流回路 45 は、第 1 のスイッチング素子 12 のソース側から所定の分流比の電流を分流させるものであり、負荷 11 の駆動スイッチとしての第 1 のスイッチング素子 12 に並列に接続されるセンス MOS-FET 51 と、このセンス MOS-FET 51 のソースと第 1 のスイッチング素子 12 のソースとが入力される差動アンプ (電圧調整手段) 52 と、この差動アンプ 52 からの出力をゲート電圧としてセンス MOS-FET 51 のソースからの電流をカレントミラー回路 4

3 に供給する電流調整用 MOS-FET 53 とを備える。

【0047】

センス MOS-FET 51 は、各スイッチング素子 12, 17, 37 を構成するためのパワー MOS-FET の一部を区切って領域が割り当てられており、センス MOS-FET 51 の領域の第 1 のスイッチング素子 12 に対する面積比を所定の値に設定することにより、第 1 のスイッチング素子 12 に対するセンス MOS-FET 51 の分流比（例えば、1 万分の 1 など）で、当該第 1 のスイッチング素子 12 のドレイン側の電流を分流するものである。また、センス MOS-FET 51 のドレインに接続される電源（+B）19 は、第 1 のスイッチング素子（駆動スイッチ）12 のドレインに接続される電源（+B）19 と同一とされる。したがって、第 1 のスイッチング素子 12 に流れる駆動電流 I_d が増減変化したときには、センス MOS-FET 51 に流れる電流（分流電流） I_1 も同等の比率で増減するようになっている。

【0048】

差動アンプ 52 は、センス MOS-FET 51 のソース電圧と、第 1 のスイッチング素子 12 のソース電圧との差分に応じて出力電圧を変化させるようになっており、第 1 のスイッチング素子 12 からの分流比が不安定に変化した場合に、電流調整用 MOS-FET 53 のゲート電圧を調整することで、分流電流 I_1 を調整するように機能する。

【0049】

電流調整用 MOS-FET 53 は、上述のように、差動アンプ 52 からの出力がゲート電圧として与えられ、そのゲート電圧に応じて、センス MOS-FET 51 から入力される分流電流 I_1 を調整するよう機能する。

【0050】

カレントミラー回路 43 は、互いに対称に形成された一対の MOS-FET（電界効果型トランジスタ）55a, 55b に所定のミラー比（例えば 1 対 1）の電流が流れることを利用して、分流回路 45 から流れ出た電流 I_1 に対するミラー比分のミラー電流 I_2 を MOS-FET 55b に流すようになっている。

【0051】

定電流源 44 は、トランジスタを用いた吸い込み定電流方式または流し出し定電流方式や、定電流ダイオードを用いた方式や、あるいは 3 端子レギュレータによる方式など、一般に適用される既存の定電流源であれば、どのようなものが使用されても差し支えない。

【0052】

そして、カレントミラー回路 43 の定電流経路 47 側の MOS-FET 55b のドレイン (P 点) の電圧を検出して、第 1 のスイッチング素子 12 に流れる駆動電流 I_d が過電流であるか否かを判断することにより、第 1 のスイッチング素子 12 の過電流 I_d を制限することが可能とされている。具体的には、MOS-FET 55b のドレイン (P 点) の電圧を、保護用論理回路 21 や電流制限部 25 に入力し、保護用論理回路 21 からチャージポンプ 23 を制御して第 1 のスイッチング素子 12 のチョッピング制御を行ったり、電流制限部 25 で第 1 のスイッチング素子 12 のゲートソース間を短絡させたりすることで、第 1 のスイッチング素子 12 の過電流 I_d を制限するようになっている。

【0053】

このように、分流回路 45、カレントミラー回路 43 及び定電流源 44 は、電源 19 側から第 1 のスイッチング素子 (駆動スイッチ) 12 に与えられる電流を分流して過電流を検出するための分流検出部として機能するものである。

【0054】

<動作>

次に、この過電流制限回路の動作を説明する。

【0055】

まず、操作者が操作スイッチ 13 でオンオフ切替操作を行ったときに、その操作スイッチ 13 のオンオフ状態を入力インターフェース回路 15 が検知する。入力インターフェース回路 15 が操作スイッチ 13 のオン状態を検知したときには、MOS-FET としての第 2 のスイッチング素子 17 がオン状態となり、保護用論理回路 21 及びチャージポンプ 23 に電源 (+B) 19 が投入されて動作する。

【0056】

この場合、チャージポンプ 23 は、第 1 のスイッチング素子 12 のゲートをそのソースよりも高電位に保つために電源 (+B) 19 の電圧を昇圧（例えば 2 倍）する。

【0057】

この際、電流制限部 25 は、第 1 のスイッチング素子 12 のドレイン—ソース間の電圧降下（図 2 中の横軸 V_{ds} ）が所定のしきい値 T_{h1} を超えたか否かを判断し、第 1 のスイッチング素子 12 のドレイン—ソース間の電圧降下がそのしきい値 T_{h1} を超えた場合に、その第 1 のスイッチング素子 12 のゲート—ソース間を断続的に短絡させて、当該ゲートへの入力電圧を低減させ、図 2 中の第 1 の電流制限曲線 G3 に示すように、第 1 のスイッチング素子 12 に流れる電流 I_d を低減させる。

【0058】

そして、過電流検知回路 29 は、所定の電流しきい値に基づいて所定の基準に従って過電流を検知し、過電流であった場合に、その旨の信号を保護用論理回路 21 に出力する。

【0059】

これと併行して、過温度検出回路 31 は、過温度か否かを検出し、過温度であった場合にその旨の信号を保護用論理回路 21 に出力する。

【0060】

保護用論理回路 21 は、過電流検知回路 29 が過電流を検知し、または過温度検出回路 31 が過温度を検出したときに、チャージポンプ 23 を介して第 1 のスイッチング素子 12 のゲート電圧の供給を遮断または断続的に停止することで電流及び温度を調整する。

【0061】

ただし、負荷 11 に対してサージ電流が発生した場合に、負荷 11 に対する電流供給の遮断またはチョッピングを行った場合に負サージにより電圧の過低下を抑制するため、ダイナミッククランプ回路 27 は、負サージが発生している間だけ、第 1 のスイッチング素子 12 をオンにして過電流制限回路内の各部位を保護するよう機能する。

【0062】

そして、過電流検知回路 29 が過電流を検知し、または過温度検出回路 31 が過温度を検出したときに、その出力の論理和を論理和回路 33 が論理判断し、第 3 のスイッチング素子 37 をオン切り換えして、プルアップ抵抗 35 を利用して例えば警告ランプ等の外部の警告装置等（図示省略）にその旨を報知する。

【0063】

ところで、上述した動作において、電流制限部 25 での電圧 V_{ds} （第 1 のスイッチング素子 12 のドレインソース間の電圧降下）に基づく駆動電流 I_d の制限は、第 1 のスイッチング素子 12 のドレインソース間の電圧降下 V_{ds} が所定のしきい値 T_{h1} を超えた場合にのみ実行される。しかしながら、第 1 のスイッチング素子 12 のドレインソース間の電圧降下 V_{ds} が所定のしきい値 T_{h1} を下回る（または以下の）場合には、上述したような電流制限部 25 での駆動電流 I_d の制限が実行されない。

【0064】

具体的に、図 2 は、図 1 の回路構造における第 1 のスイッチング素子 12 のドレインソース間電圧 V_{ds} と駆動電流 I_d との関係、及びその電流制限基準について示す図である。図 2 において、横軸は第 1 のスイッチング素子 12 のドレインソース間電圧 V_{ds} を示しており、縦軸はそのドレインソース間電圧 V_{ds} に対する第 1 のスイッチング素子 12 に流れる駆動電流 I_d を示している。即ち、図 2 中の破線 G1（負荷理想線）は、第 1 のスイッチング素子 12 及び負荷 11 の耐久性等を考慮した場合の当該第 1 のスイッチング素子 12 のドレインソース電圧 V_{ds} と駆動電流 I_d との理想的な関係を示しており、また線 G2（オン抵抗線）は、第 1 のスイッチング素子 12 のオン抵抗特性を示す線である。ここでは、基本的に、駆動電流 I_d が図 2 中のオン抵抗線 G2 を上回ることはないものとして説明する。

【0065】

ここで、第 1 のスイッチング素子 12 がオンした際のドレインソース間電圧 V_{ds} 及び駆動電流 I_d の安定点は、負荷理想線 G1 とオン抵抗線 G2 との交点 A となる。即ち、第 1 のスイッチング素子 12 及び負荷 11 の耐久性等を考慮し

た場合、第1のスイッチング素子12のドレインソース間電圧 V_{ds} 及び駆動電流 I_d の値は、第1のスイッチング素子12のオン状態が維持されるのに伴って、点B ($V_{ds} = V_{cc}$ (例えば、12V), $I_d = 0$) から、負荷理想線G1に沿って矢印Qに示す方向に変化し、安定点Aに到達した時点で安定することが理想である。

【0066】

そして、上述のように、電流制限部25による駆動電流 I_d の制限について、は、図2中の第1の電流制限曲線G3で示されている。この第1の電流制限曲線G3は、上述したとおり、第1のスイッチング素子12のドレインソース間の電圧降下 V_{ds} が所定のしきい値 T_{h1} を超えた場合にのみ適用されるものであり、よって、第1のスイッチング素子12のドレインソース間の電圧降下 V_{ds} が所定のしきい値 T_{h1} を下回る（または以下の）場合は、電流制限部25は駆動電流 I_d を制限する機能を停止する。

【0067】

しかしながら、上述のように、理想的には、第1のスイッチング素子12のドレインソース間電圧 V_{ds} 及び駆動電流 I_d の値は、第1のスイッチング素子12のオン状態が維持されるのに伴って、点Bから負荷理想線G1に沿って矢印Qに示す方向に変化し、安定点Aに到達した時点で安定することが望ましい。即ち、第1のスイッチング素子12のオン時様態がある程度経過すると、第1のスイッチング素子12のドレインソース間電圧 V_{ds} は上述のしきい値 T_{h1} を下回る（または以下の）状態に移行することが望ましい。しかしながら、この時点では、上記したような電流制限部25の電圧 V_{ds} に基づく電流制限が有効に機能しない事態が生じる。

【0068】

そこで、この実施の形態では、特にしきい値 T_{h1} 未満（または以下）の場合に、分流回路45、定電流源44及びカレントミラー回路43によって検出される図1中のP点の電圧（定電流経路47側のMOS-FET55bのドレイン電圧）を検出し、この検出結果に基づいて、保護用論理回路21からチャージポンプ23を制御して第1のスイッチング素子12のチョッピング制御を行ったり、

電流制限部 25 で第 1 のスイッチング素子 12 のゲート-ソース間を短絡させたりすることで、第 1 のスイッチング素子 12 の過電流 I_d を制限する。

【0069】

具体的に、第 1 のスイッチング素子 12 に流れる駆動電流 I_d に応じて、所定の分流比に応じた分流電流 I_1 がセンス MOS-FET 51 に流れる。この際、差動アンプ 52 は、センス MOS-FET 51 のソース電圧と、第 1 のスイッチング素子 12 のソース電圧との差分に応じて出力電圧を変化させながら、第 1 のスイッチング素子 12 からの分流比が不安定に変化した場合に、電流調整用 MOS-FET 53 のゲート電圧を調整する。そして、電流調整用 MOS-FET 53 は、差動アンプ 52 からの出力がゲート電圧として与えられ、そのゲート電圧に応じて、センス MOS-FET 51 から入力される分流電流 I_1 を調整する。

【0070】

この分流電流 I_1 は、カレントミラー回路 43 の一方の MOS-FET 55a に与えられる。

【0071】

このとき、定電流経路 47 側の他方の MOS-FET 55b には、分流電流 I_1 に対して予め設定されたミラー比分のミラー電流 I_2 が流れる。

【0072】

ところで、定電流経路 47 の上流の定電流源 44 は、一定電流容量しかないため、仮にミラー電流 I_2 が過電流であった場合、この過電流状態で他方の MOS-FET 55b が大きなミラー電流 I_2 を流そうとすると、他方の MOS-FET 55b のドレイン電圧 (P 点の電圧) は +B 電圧から降下することになる。

【0073】

このため、他方の MOS-FET 55b のドレイン電圧を観測していれば、分流電流 I_1 の過電流状態を検出することができ、ひいては第 1 のスイッチング素子 12 及び負荷 11 に流れる過電流 I_d を検出することが可能である。

【0074】

この P 点の電圧を用いて、第 1 のスイッチング素子 12 に流れる駆動電流 I_d が過電流であるか否かを判断することにより、第 1 のスイッチング素子 12 の過

電流 I_d を制限することが可能とされている。具体的には、MOS-FET 55b のドレイン (P 点) の電圧を、保護用論理回路 21 や電流制限部 25 に入力し、保護用論理回路 21 からチャージポンプ 23 を制御して第 1 のスイッチング素子 12 のチョッピング制御を行ったり、電流制限部 25 で第 1 のスイッチング素子 12 のゲート-ソース間を短絡させたりすることで、第 1 のスイッチング素子 12 の過電流 I_d を制限する。

【0075】

図 2 中の曲線 (第 2 の電流制限曲線) G_4 は、P 点の電圧の検出結果に基づく過電流 I_d の制御曲線を示している。この場合、保護用論理回路 21 や電流制限部 25 において、P 点の電圧と第 1 のスイッチング素子 12 における駆動電流 I_d との関係を予めデータとして保有するようにしており、図 2 中の第 2 の電流制限曲線 G_4 が、理想的な安定点である A 点を通り、負荷理想線 G_1 より高い駆動電流 I_d を実現し、且つオン抵抗線 G_2 より低い駆動電流 I_d を実現するように設定されている。

【0076】

このように、この実施の形態では、第 1 のスイッチング素子 12 のドレイン-ソース間の電圧降下 V_{ds} による電流制限部 25 での電流制限の他に、分流回路 45、カレントミラー回路 43 及び定電流源 44 によって検出された P 点の電圧に基づいて、従来技術 3 では検出できなかった比較的低い電圧 V_{ds} の領域についても電流制限を実行するようにしているので、第 1 のスイッチング素子 12 及び負荷 11 について適正に過電流制限を行うことができる。

【0077】

尚、第 2 の電流制限曲線 G_4 での電流制限だけでは、逆に第 1 のスイッチング素子 12 のドレイン-ソース間の電圧降下 V_{ds} が大きい場合には、第 1 のスイッチング素子 12 に大電流が流れるおそれがあるため、上述のように、従来技術 3 で実行していた電圧 V_{ds} により電流制限部 25 での電流制限と併せて、特に電圧 V_{ds} が上述のしきい値 T_{h1} 以下の場合に実行するのが有効である。この場合、第 1 のスイッチング素子 12 のドレイン-ソース間の電圧降下 V_{ds} がしきい値 T_{h1} を越えている際には、分流回路 45、カレントミラー回路 43 及び

定電流源 44 によって検出された P 点の電圧に基づく電流制限を続行してもよいし、あるいは停止してもよい。

【0078】

【発明の効果】

請求項 1 及び請求項 4 に記載の発明によれば、駆動スイッチとしてのパワー MOS-FET のオンオフ動作により所定の負荷に対する駆動電流のオンオフ切替えを行うにあたって、電源側から駆動スイッチに与えられる電流を分流して過電流を検出し、この過電流に基づいて、パワー MOS-FET に流れる電流を制限するので、従来技術 3 では検出できなかった比較的低い電圧の領域についても電流制限を実行することができる。したがって、駆動スイッチ及び負荷について適正に過電流制限を行うことができる。

【0079】

この場合、請求項 2 のように、パワー MOS-FET のドレインとソースの間の電圧が所定のしきい値を越える場合に、当該パワー MOS-FET に流れる電流を併せて制限すると、より一層精度良く過電流を制限できる。

【0080】

請求項 3 に記載の発明によれば、分流回路で分流された分流電流がカレントミラー回路の一方側に与えられると、この分流電流に対して予め設定されたミラー比分のミラー電流が他方側に流れる。この他方側の経路においては、定電流源が一定電流容量しか持たないことから、仮にミラー電流が過電流であった場合、この過電流状態で定電流源が大きなミラー電流を流そうとすると、その経路中の検出点が降下せざるを得ないため、この検出点の電圧に基づいて分流電流の過電流状態を検出することができ、ひいては駆動スイッチ及び負荷に流れる過電流を容易に検出することが可能である。

【0081】

そして、請求項 3 に記載の発明のように、分流回路において、駆動スイッチに並列に接続されるパワー MOS-FET を含めれば、一対のパワー MOS-FET の面積比等により容易に分流比を決定できる。

【図面の簡単な説明】

【図 1】

この発明の一の実施の形態に係る過電流制限回路を示すブロック図である。

【図 2】

第 1 のスイッチング素子のドレインソース間電圧と駆動電流との関係、及びその電流制限基準について示す図である。

【図 3】

従来技術 1 に係る過電流制限回路を示すブロック図である。

【図 4】

従来技術 3 に係る過電流制限回路を示すブロック図である。

【図 5】

従来技術 3 に係る過電流制限回路の I P D を示すブロック図である。

【符号の説明】

- 1 1 負荷
- 1 2 スwitchング素子
- 2 1 保護用論理回路
- 2 3 チャージポンプ
- 2 5 電流制限部
- 2 7 ダイナミッククランプ回路
- 2 9 過電流検知回路
- 3 1 過温度検出回路
- 3 3 論理和回路
- 4 0 主機能部
- 4 1 分流検出部
- 4 3 カレントミラー回路
- 4 4 定電流源
- 4 5 分流回路
- 4 7 定電流経路
- I 1 分流電流
- I 2 ミラー電流

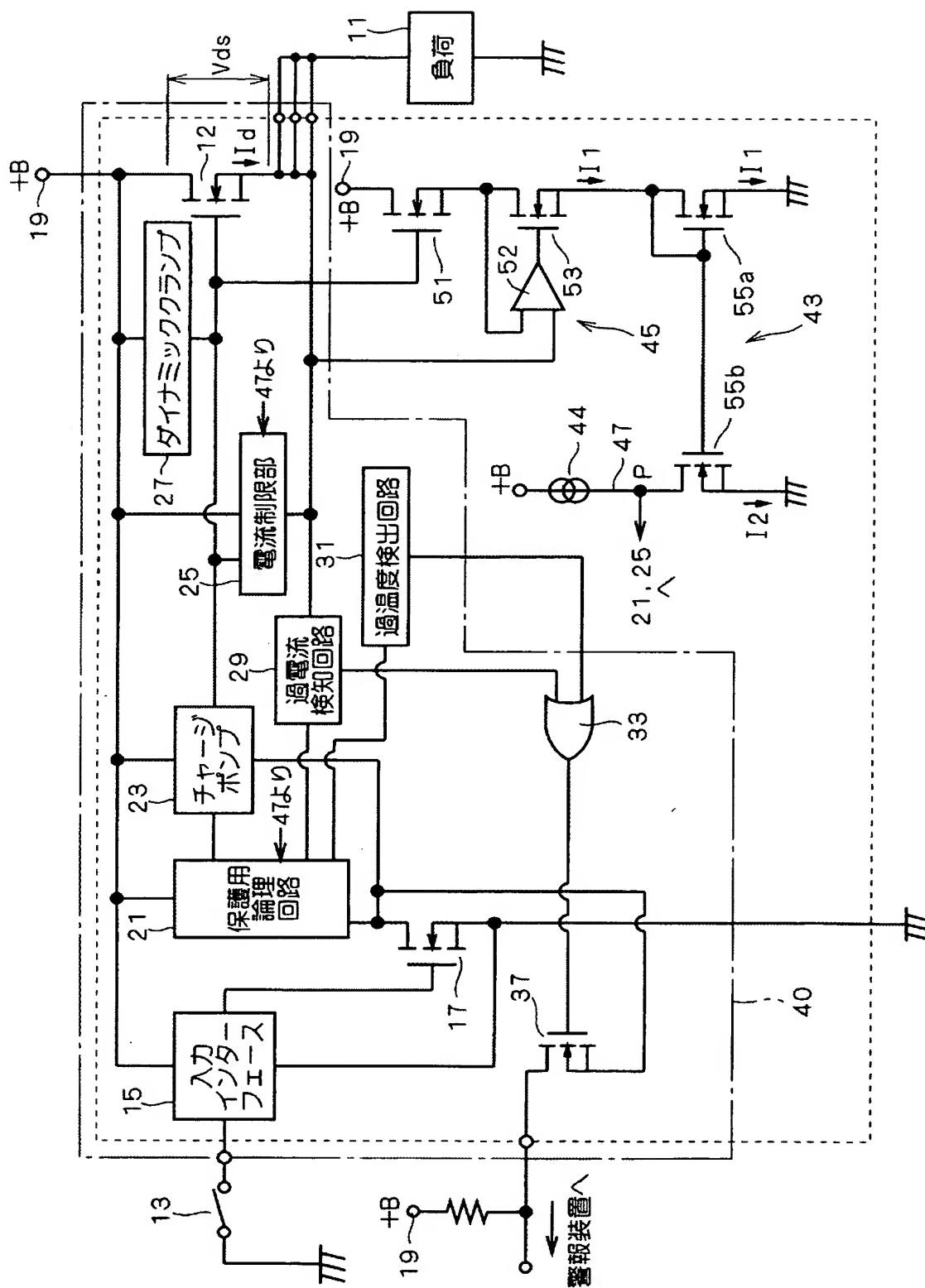
I d 駆動電流

V d s ドレインソース間電圧

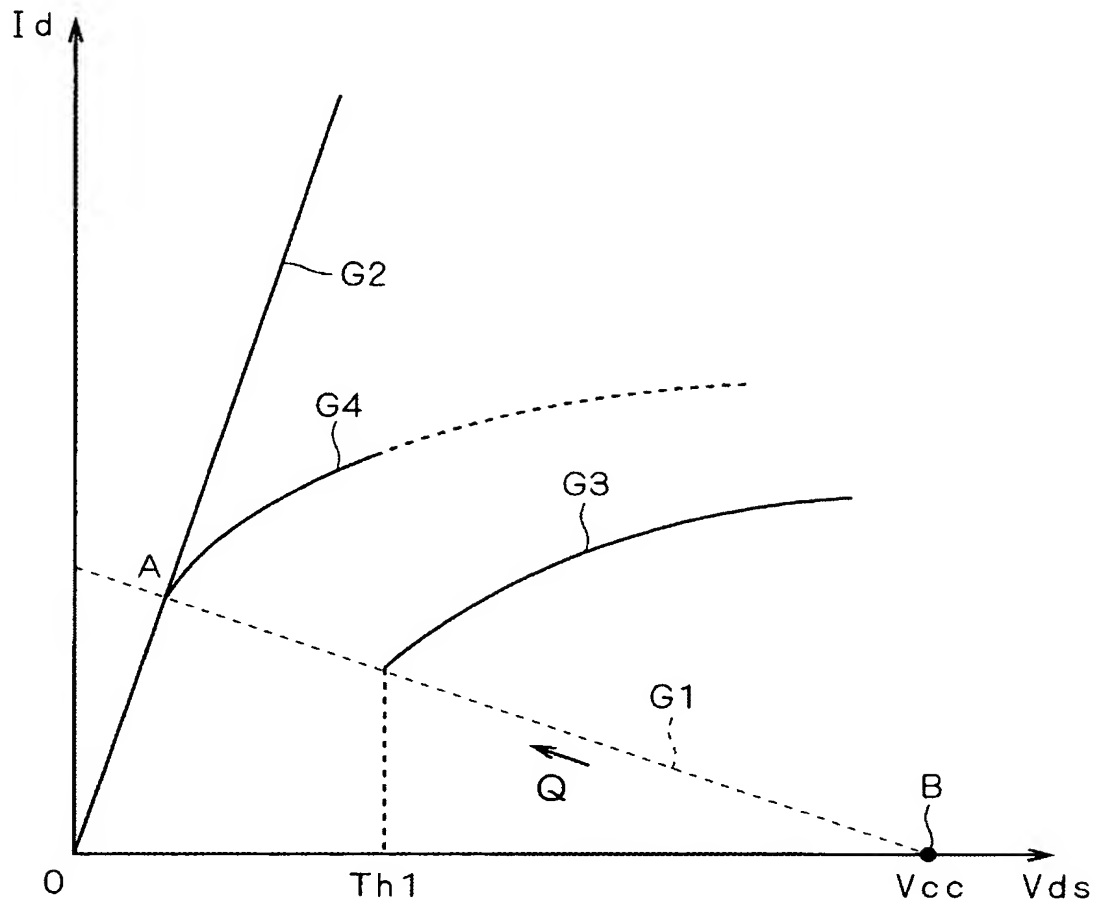
【書類名】

図面

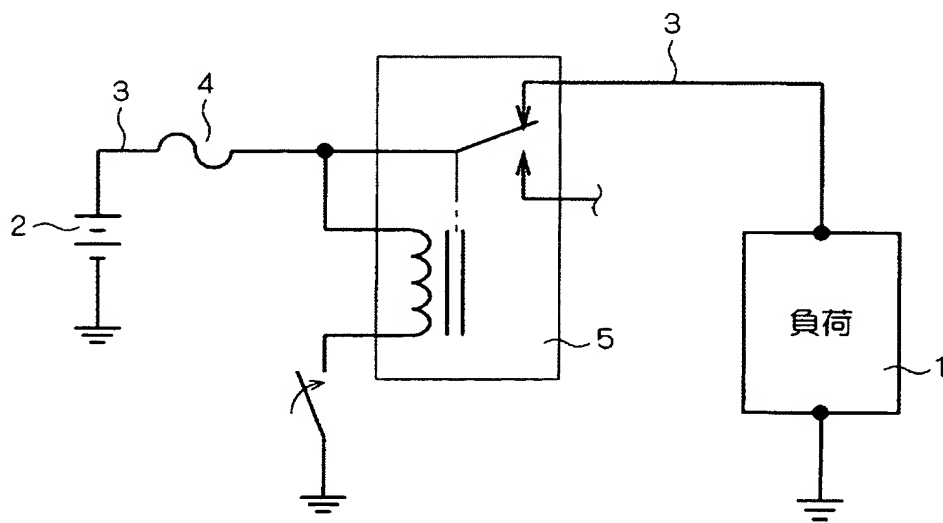
【図 1】



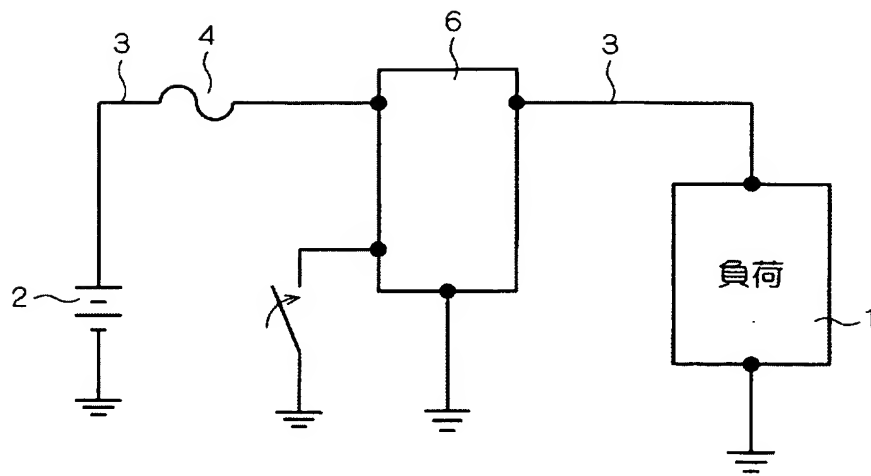
【図 2】



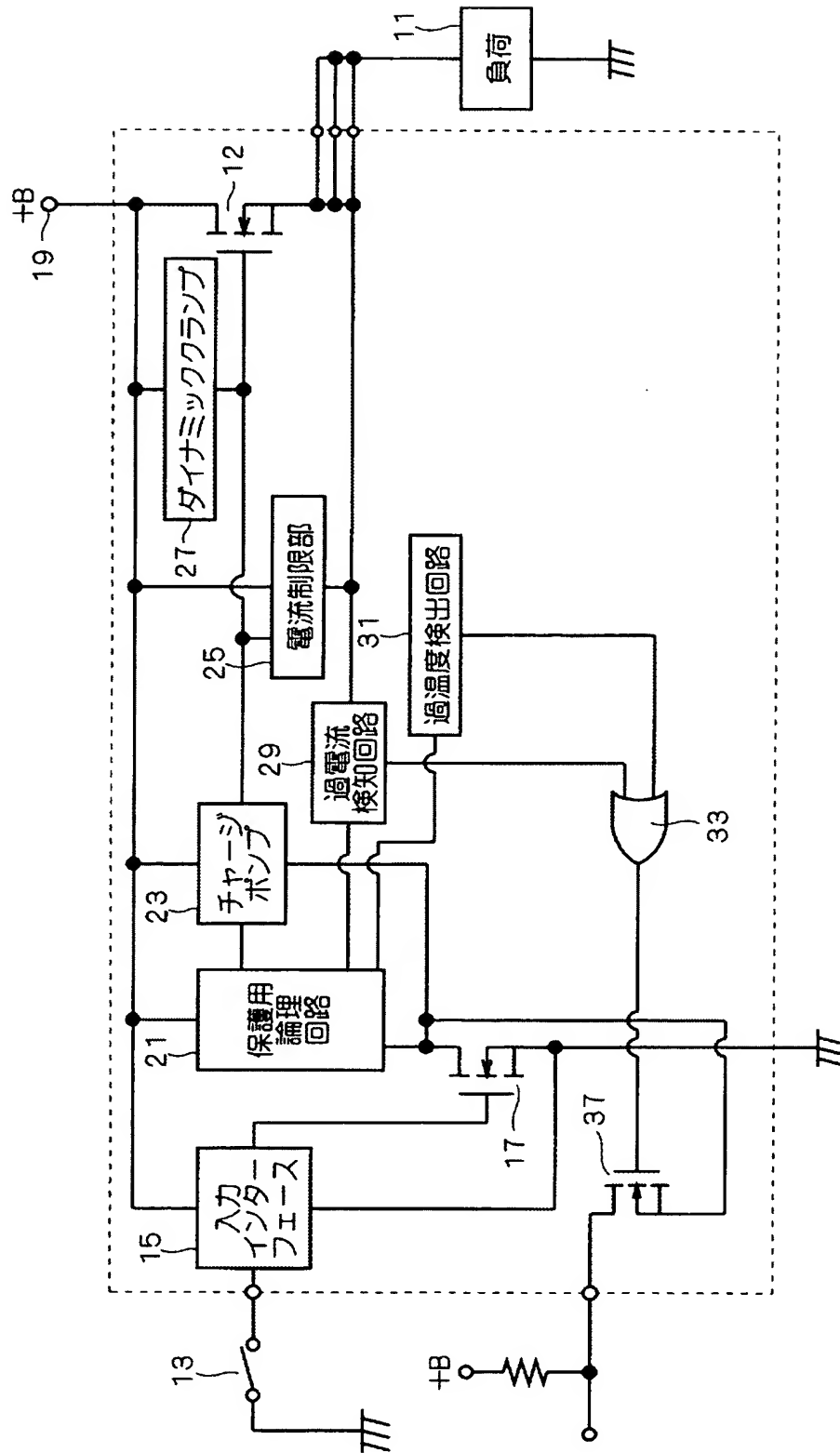
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 比較的低い電圧の領域についても電流制限を実行する。

【解決手段】 駆動スイッチ（パワーMOS-FET）12のオンオフ動作により負荷11に対する駆動電流 I_d のオンオフ切替えを行うにあたって、駆動スイッチ12のドレインとソースの間の電圧 V_{ds} が所定のしきい値を越える場合には、駆動スイッチ12に流れる電流 I_d を制限するほか、少なくとも駆動スイッチ12のドレインとソースの間の電圧 V_{ds} が所定のしきい値未満である場合には、電源側から駆動スイッチ12に与えられる電流を分流回路45で分流し、その過電流 I_1 を、カレントミラー回路43及び定電流源44を用いて検出して、その検出結果に基づいて、駆動スイッチ12に流れる電流 I_d を制限する。

【選択図】 図1

特願 2 0 0 3 - 0 3 7 2 4 8

出 願 人 履 歴 情 報

識別番号 [3 9 5 0 1 1 6 6 5]

1. 変更年月日 2 0 0 0 年 1 1 月 1 日
[変更理由] 名称変更
住 所 愛知県名古屋市南区菊住 1 丁目 7 番 1 0 号
氏 名 株式会社オートネットワーク技術研究所
2. 変更年月日 2 0 0 4 年 1 月 5 日
[変更理由] 住所変更
住 所 三重県四日市市西末広町 1 番 1 4 号
氏 名 株式会社オートネットワーク技術研究所

特願 2 0 0 3 - 0 3 7 2 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 8 3 4 0 6]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	三重県四日市市西末広町 1 番 1 4 号
氏 名	住友電装株式会社

特願 2 0 0 3 - 0 3 7 2 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 3 0]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市中心区北浜四丁目 5 番 3 3 号
氏 名	住友電気工業株式会社